

THIN-FILM TRANSISTOR

Publication number: JP10313122 (A)

Publication date: 1998-11-24

Inventor(s): CHIYOU KOUYUU

Applicant(s): SEMICONDUCTOR ENERGY LAB

Classification:

- **International:** *H01L29/786; H01L21/336; H01L29/66; H01L21/02; (IPC1-7): H01L29/786; H01L21/336*

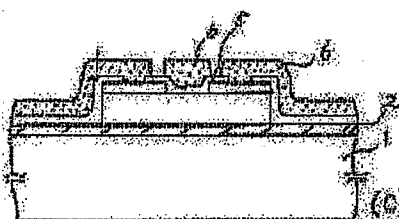
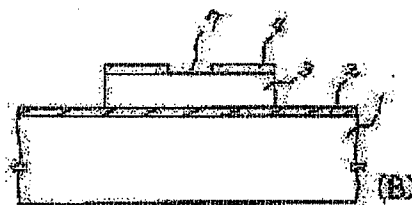
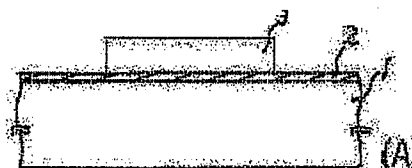
- **European:**

Application number: JP19980145642 19980527

Priority number(s): JP19980145642 19980527

Abstract of JP 10313122 (A)

PROBLEM TO BE SOLVED: To eliminate the thermal expansion difference between an insulation film usable as a gate insulation film of TFT elements and lower protective film made of the same material by forming this film on a glass substrate and then forming the TFT elements thereon. **SOLUTION:** This transistor is made by forming a silicon oxide lower protective film 2 on the entire surface of a soda glass substrate 1, forming an amorphous n-type Si film 4 as a low-resistance nonsingle-crystal semiconductor layer, patterning channel forming regions 7 of this film 4 with leaving source-drain regions 4, forming a gate oxide film 5 made of the same material in the same machine as the protective film 2, and forming Al electrodes 6. Beneath the source-drain 6 the gate insulation film 5 and the protective film 2 exist and are formed in the same material using the same method to eliminate the thermal expansion difference of these films due to the element working heat.



Data supplied from the esp@cenet database — Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-313122

(43) 公開日 平成10年(1998)11月24日

(51) Int.Cl.⁶

識別記号

F I

H 0 1 L 29/786

H 0 1 L 29/78

6 1 6 V

21/336

6 1 7 S

6 1 7 V

6 1 9 A

6 2 6 Z

審査請求 有 請求項の数 2 O L (全 9 頁)

(21) 出願番号

特願平10-145642

(62) 分割の表示

特願平2-140580の分割

(22) 出願日

平成7年(1990)5月29日

(71) 出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 張 宏勇

神奈川県厚木市長谷398番地 株式会社半

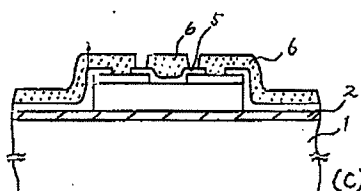
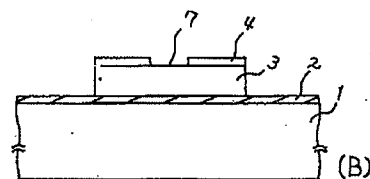
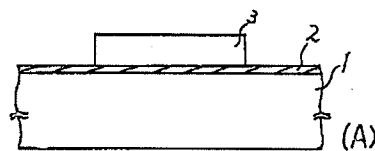
導体エネルギー研究所内

(54) 【発明の名称】 薄膜トランジスタ

(57) 【要約】

【課題】 長期的な信頼性の高い薄膜トランジスタを提供する。

【解決手段】 基板と薄膜トランジスタの間に下地保護膜を形成することにより、薄膜トランジスタ形成工程における熱処理、又は薄膜トランジスタの動作時における発熱による基板からの不純物の拡散を抑制する。



【特許請求の範囲】

【請求項1】 ガラス基板の上に設けられた薄膜トランジスタにおいて、
該薄膜トランジスタのチャネル領域は多結晶化された珪素膜よりなり、
前記チャネル領域は、ゲート絶縁膜と該ゲート絶縁膜と同一材料からなる絶縁膜とに挟まれていることを特徴とする薄膜トランジスタ。

【請求項2】 ガラス基板の上に設けられた薄膜トランジスタにおいて、
該薄膜トランジスタのチャネル領域は多結晶化された珪素膜よりなり、
前記活性層は、ゲート絶縁膜と該ゲート絶縁膜と同一材料からなる下地保護膜とに挟まれていることを特徴とする薄膜トランジスタ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は非単結晶半導体薄膜を用いた薄膜トランジスタ（以下にTFTともいう）及びその製造方法に関するものであり、特に液晶ディスプレイ、イメージセンサー等に適用可能な高信頼性を持つ薄膜トランジスタの作製方法に関する。

【0002】

【従来の技術】最近、化学的気相法等によって、作製された非単結晶半導体薄膜を利用した薄膜トランジスタが注目されている。この薄膜トランジスタは、絶縁性基板上に前述の如く化学的気相法等を用いて形成されるので、その作製雰囲気温度が最高で500℃程度と低温で形成でき、安価なソーダガラス、ホウケイ酸ガラス等を基板として用いることができる。

【0003】この薄膜トランジスタは電界効果型であり、いわゆるMOSFETと同様の機能を有しているが、前述の如く安価な絶縁性基板上に低温で形成できる。さらに、その作製する最大面積は薄膜半導体を形成する装置の寸法にのみ限定されるもので、容易に大面積基板上にトランジスタを作製できるという利点を持っていた。このため多量の画素を持つマトリクス構造の液晶ディスプレイのスイッチング素子や、一次元又は二次元のイメージセンサー等のスイッチング素子として極めて有望である。

【0004】また、この薄膜トランジスタを作製するにはすでに確立された技術であるフォトリソグラフィが応用可能で、いわゆる微細加工が可能であり、IC等と同様に集積化を図ることも可能であった。この従来より知られたTFTの代表的な構造を図2に概略的に示す。

【0005】(20)はガラスよりなる絶縁性基板であり、(21)は非単結晶半導体よりなる薄膜半導体、(22)、(23)はソース/ドレイン領域で、(24)、(25)はソース/ドレイン電極、(26)はゲート絶縁膜で(27)はゲート電極であります。このように構成された薄膜トランジスタは、ゲート電極(27)に電圧を加えることにより、ソース/ドレイン(22)、(23)間に流れる電流を調整するものであります。

【0006】この時、この薄膜トランジスタの応答速度は次式で与えられる。

$$S = \mu \cdot V / L^2$$

ここでLはチャネル長、 μ はキャリアの移動度、Vはゲート電圧。

【0007】

【発明が解決しようとする課題】この薄膜トランジスタに用いられる非単結晶半導体層は半導体層中に多量の結晶粒界等を含んでおり、これらが原因で単結晶の半導体に比べてキャリアの移動度が非常に小さく、上式より判るようにトランジスタの応答速度が非常に遅いという問題が発生していた。特にアモルファスシリコン半導体を用いた時その移動度はだいたい0.1～1 (cm²/V・Sec)程度で、ほとんどTFTとして動作しない程度のものであった。

【0008】このような問題を解決するには、上式より明らかなようにチャネル長を短くすることと、キャリア移動度を大きくすることが知られ、種々の改良が行われている。

【0009】特にチャネル長Lを短くすると、その2乗で応答速度に影響するので非常に有効な手段である。しかしながら、TFTの特徴である大面積基板上に素子を形成する場合、フォトリソグラフィ技術を用いて、ソースとドレイン間の間隔（だいたいのチャネル長に対応する）を10μm以下にすることは、その加工精度、歩留まり、生産コスト等の面から明らかに困難であり、TFTのチャネル長を短くする手段として現在のところ有効な手段は確立されていない。

【0010】一方、半導体層自身の持つ移動度(μ)を大きくする方法としては、TFTに使用する半導体層として単結晶半導体または多結晶半導体を採用したり、TFTの活性層部分を単結晶半導体または多結晶半導体とすることが行われている。

【0011】前者の方法では、半導体層を形成する際の温度を高くする必要がある。一方、後者の方法は部分的に温度を高くしてTFTの活性層部分を単結晶半導体または多結晶半導体とするものであるが、いずれの方法においても通常のTFT作製工程よりも若干高い温度が必要である。

【0012】例えば、

(1) 非晶質半導体薄膜トランジスタにおいて、非晶質シリコンの成膜温度は約250℃程度でその後の熱アニール工程の温度は最大で400℃程度必要である。(2) 熱再結晶多結晶半導体薄膜トランジスタにおいて、減圧CVD法による多結晶シリコンの成膜温度と熱による再結晶化工程の必要温度は500～650℃である。

(3) 活性層のみを多結晶化した薄膜トランジスタにおい

て、半導体層を形成するのに必要なCVDの温度は250℃～450℃程度であるが、CWレーザによる活性層の再結晶化工程では600℃を超える温度となる。

【0013】このように薄膜トランジスタの製造工程においては避けられない熱処理工程が存在している。

【0014】一方、TFTはソーダガラス等の基板上に形成されており、特にスタガ型とコプラナ型はキャリアの表面導電チャネルを持つ活性層がガラス基板と直接に接している。

【0015】TFT製造工程では前述のように避けられない熱処理工程が存在するので、ガラス基板中に存在するナトリウム、カリウム等のアルカリ不純物並びに金属等が外部に拡散し、活性層やTFTを構成する半導体層に侵入する。これによりTFTは、移動度の低下やしきい値の変動等デバイス特性を悪化させたり、長期の信頼性に悪影響を与える。

【0016】また、TFTの動作により、TFT自身が発熱するこれによりガラス基板の温度が上昇し、同様に基板より不純物が拡散して、TFTに影響を与える。

【0017】本発明は前述の如き問題を解決するものであり、素子特性の良い、長期の信頼性の高いTFTの作製方法を提供することを課題とする。

【0018】

【課題を解決するための手段】本発明は上記の問題を解決する為に、TFT素子を形成する前にガラス基板上にCVD法またはスパッタ法によりTFT素子のゲート絶縁膜に使用可能な絶縁膜と同じ材料からなる膜を下地保護膜として設け、その下地保護膜上にTFT素子を形成していることを特徴とするものであります。

【0019】すなわち、ガラス基板はゲート絶縁膜に使用可能な絶縁膜、例えばシリコン酸化膜で覆われているためTFT作製工程等での熱処理工程またはTFT動作時の発熱による基板温度上昇時におけるガラス基板よりの不純物の拡散を防止し、TFT素子の特性の向上および長期の信頼性向上を実現することができるものであります。以下に実施例を示し本発明を説明する。

【0020】

【実施例】

〔実施例1〕この実施例1に対応するプレーナ型薄膜トランジスタの概略的な作製工程を図1に示す。

【0021】まず、ガラス基板(1)としてソーダガラスを用い、このソーダガラス(1)上に公知のスパッタリング法により、全面に下地保護膜として酸化珪素(2)を300nmの厚さに形成した。その作成したその作製条件を以下に示す。

スパッタガス	酸素100%
反応圧力	0.5Pa
RFパワー	400W
基板温度	150℃
成膜速度	5nm/min

【0022】次に、これらの上にI型の非単結晶珪素半導体膜(3)を公知のプラズマCVD法で約100nmの厚さに形成した。その作成したその作製条件を以下に示す。

基板温度	300℃
反応圧力	0.05Torr
Rfパワー(13.56MHz)	80W
使用ガス	SiH ₄

【0023】その後、所定のエッチング処理を行い図1(A)に示す状態を得た。この後この活性層を多結晶化する為にエキシマレーザを使用して、この活性層に対してレーザアニール処理を施した。その条件を以下に示す。

レーザエネルギー密度	200mJ/cm ²
照射ショット数	50回

【0024】この上に低抵抗非単結晶半導体層として、N型の導電性を有する非単結晶珪素膜(4)を形成する。この時の作成条件は以下のとおりであった。

基板温度	220℃
反応圧力	0.05Torr
Rfパワー(13.56MHz)	120W
使用ガス	SiH ₄ +PH ₃
膜厚	1500Å

【0025】このN型の非単結晶珪素膜(4)は、その形成時にH₂ガスを多量に導入しRfパワーを高くして、微結晶化させて電気抵抗を下げたものを使用してもよい。

【0026】次に公知のフォトリソグラフィ技術を用いて、この非単結晶珪素膜(4)をソース/ドレイン領域(4)を残しチャネル形成領域(7)をパターニングし、図1(B)に示す状態を得た。

【0027】この後、チャネル形成領域(7)の活性化の為に、水素プラズマ処理を下記の条件で行いチャネル領域の活性化を行った。

基板温度	250℃
RFパワー	100W
処理時間	60分

【0028】この後、先の下地保護膜(2)と同じ材料でかつ同じ形成方法にてゲート酸化膜(5)100nmの厚みに形成後ソース/ドレイン領域のコンタクトホールを公知のエッチング法により形成し、その上にアルミニウム電極(6)を形成して、図1(C)の状態を得薄膜トランジスタを完成した。

【0029】本実施例の場合、ソース/ドレイン電極(6)の下にはゲート絶縁膜(5)、下地保護膜(2)が存在する。これらは同じ材料、同じ形成方法により形成されているので薄膜トランジスタ作製工程における熱処理又は薄膜トランジスタ動作時の発熱によって発生するこれら膜の熱膨張に差がなく、その上部に存在するアルミニウム等の金属電極の断線又はピーリングを起こさず長期の信頼性に優れたものとなった。

【0030】〔実施例2〕図3に本実施例の作製方法の

概略図を示す。まず、ソーダガラス基板(1)上に、公知のスパッタリング法により実施例1と同じ作製条件にて酸化珪素膜を作製した。

【0031】次に、この下地保護膜(2)上にモリブデン金属(10)を200nmの厚さに形成した後この上に低抵抗非単結晶半導体層としてP型の導電性を有する非単結晶珪素膜(8)を形成する。この時の作製条件は以下のとおりであった。

基板温度	230℃
反応圧力	0.05Torr
Rfパワー(13.56MHz)	150W
使用ガス	SiH ₄ + B ₂ H ₆
膜厚	200Å

【0032】この場合膜厚は200Åとし後工程で作製するI型半導体層とのオーミックコンタクトをとる目的だけとした。

【0033】次に、これらを所定のパターンにエッチングして図3(A)の状態を得た。そして、これらの上にI型の非単結晶珪素半導体膜(3)を公知のスパッタ法で200nmの厚さに形成した。その作成したその作製条件を以下に示す。

基板温度	250℃
反応圧力	0.2Pa
Rfパワー(13.56MHz)	80W
使用ガス	Ar

【0034】次に、実施例1と同じようにこのI型半導体層(3)の多結晶化と水素プラズマ処理による活性化を行い図3(B)に示す状態を得た。

【0035】さらに、スパッタリング法によりゲート絶縁膜(5)を実施例1と同様に100nm形成した後、モリブデン金属によりゲート電極(9)を形成し所定のパターンに形成した。このようにして図3(C)に示す薄膜トランジスタを完成させた。

【0036】本実施例の場合、低抵抗半導体層下に金属電極を有しているため、その配線抵抗が非常に小さい特徴を有する。特に大面積の液晶装置のスイッチング素子としてTFTを用いる際、この配線抵抗が小さい為に、駆動信号波形がなまることなく、多量のTFTを高速で応

答させることができる。また、本発明は、その他のデバイス構造を持つ薄膜トランジスタにも当然応用可能である。

【0037】

【発明の効果】本発明の構成により、基板としての低温ガラス中に存在する不純物が薄膜トランジスタの活性層さらには素子自身へ侵入することを抑えることができ、高相互コンダクタンスおよび高電界効果移動度を持つ薄膜トランジスタを提供することができた。

【0038】また、デバイス動作時における発熱により基板より拡散する不純物をも抑えることができ、薄膜トランジスタの電機的特性の劣化を抑制でき良好で長期の安定性と信頼性を持つ薄膜トランジスタを実現することができた。

【図面の簡単な説明】

【図1】 本発明の一実施例のTFTの製造工程を示す概略図。

【図2】 従来のTFTの断面構造図。

【図3】 本発明の一実施例のTFTの製造工程を示す概略図。

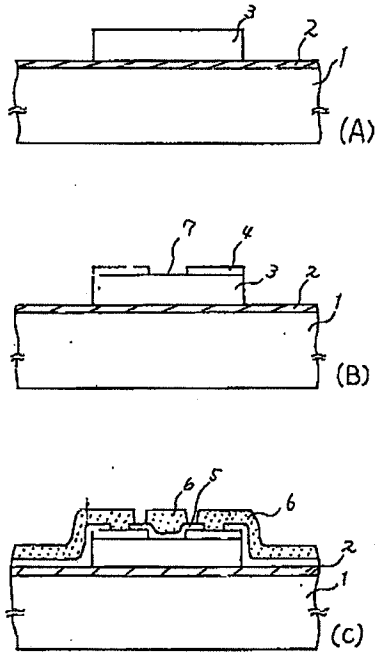
【符号の説明】

- | | |
|-------|------------------|
| 1 | 基板 |
| 2 | 下地保護膜 |
| 3 | 活性層 |
| 4 | ソース/ドレイン領域 |
| 5 | ゲート絶縁膜 |
| 6 | ゲート並びにソース、ドレイン電極 |
| 7 | チャネル形成領域 |
| 8 | ソース/ドレイン領域 |
| 9 | ゲート電極 |
| 10 | ソース/ドレイン電極 |
| 20 | 基板 |
| 21 | 活性層 |
| 22、23 | ソース/ドレイン領域 |
| 24、25 | ソース/ドレイン電極 |
| 26 | ゲート絶縁膜 |
| 27 | ゲート電極 |

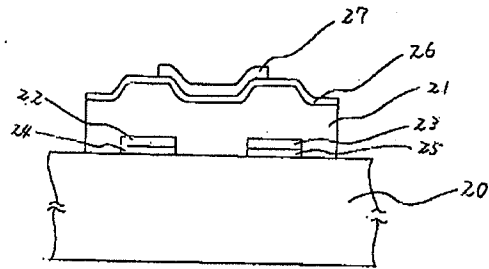
(5)

特開平10-313122

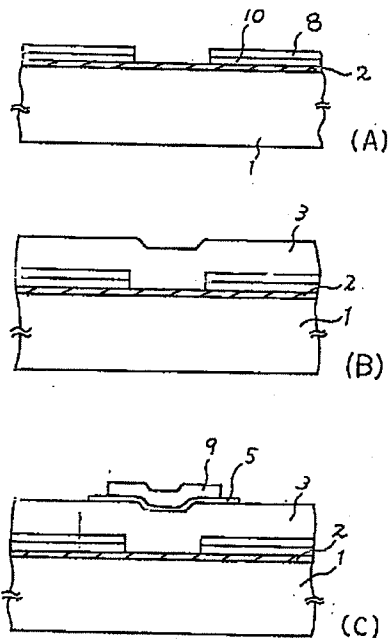
【図1】



【図2】



【図3】



【手続補正書】

【提出日】平成10年5月29日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】全文

【補正方法】変更

【補正内容】

【書類名】 明細書

【発明の名称】 薄膜トランジスタ

【特許請求の範囲】

【請求項1】 ガラス基板の上に設けられた薄膜トランジスタにおいて、

該薄膜トランジスタのチャネル領域は多結晶化された珪素膜よりなり、

前記チャネル領域は、ゲート絶縁膜と該ゲート絶縁膜と同一材料からなる絶縁膜とに挟まれていることを特徴とする薄膜トランジスタ。

【請求項2】 ガラス基板の上に設けられた薄膜トランジスタにおいて、

該薄膜トランジスタのチャネル領域は多結晶化された珪素膜よりなり、

前記活性層は、ゲート絶縁膜と該ゲート絶縁膜と同一材料からなる下地保護膜とに上下を挟まれていることを特徴とする薄膜トランジスタ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は非単結晶半導体薄膜を用いた薄膜トランジスタ（以下にTFTともいう）及びその製造方法に関するものであり、特に液晶ディスプレイ、イメージセンサー等に適用可能な高信頼性を持つ薄膜トランジスタの作製方法に関する。

【0002】

【従来の技術】最近、化学的気相法等によって、作製された非単結晶半導体薄膜を利用した薄膜トランジスタが注目されている。この薄膜トランジスタは、絶縁性基板上に前述の如く化学的気相法等を用いて形成されるので、その作製雰囲気温度が最高で500℃程度と低温で形成でき、安価なソーダガラス、ホウケイ酸ガラス等を基板として用いることができる。

【0003】この薄膜トランジスタは電界効果型であり、いわゆるMOSFETと同様の機能を有しているが、前述の如く安価な絶縁性基板上に低温で形成できる。さらに、その作製する最大面積は薄膜半導体を形成する装置の寸法にのみ限定されるもので、容易に大面積基板上にトランジスタを作製できるという利点を持っていた。このため多量の画素を持つマトリクス構造の液晶ディスプレイのスイッチング素子や、一次元又は二次元のイメージセンサー等のスイッチング素子として極めて有望である。

【0004】また、この薄膜トランジスタを作製するに

はすでに確立された技術であるフォトリソグラフィーが応用可能で、いわゆる微細加工が可能であり、IC等と同様に集積化を図ることも可能であった。この従来より知られたTFTの代表的な構造を図2に概略的に示す。

【0005】(20)はガラスよりなる絶縁性基板であり、(21)は非単結晶半導体よりなる薄膜半導体、(22)、(23)はソース/ドレイン領域で、(24)、(25)はソース/ドレイン電極、(26)はゲート絶縁膜で(27)はゲート電極であります。このように構成された薄膜トランジスタは、ゲート電極(27)に電圧を加えることにより、ソース/ドレイン(22)、(23)間に流れる電流を調整するものであります。

【0006】この時、この薄膜トランジスタの応答速度は次式で与えられる。

$$S = \mu \cdot V / L^2$$

ここでLはチャネル長、 μ はキャリアの移動度、Vはゲート電圧。

【0007】

【発明が解決しようとする課題】この薄膜トランジスタに用いられる非単結晶半導体層は半導体層中に多量の結晶粒界等を含んでおり、これらが原因で単結晶の半導体に比べてキャリアの移動度が非常に小さく、上式より判るようにトランジスタの応答速度が非常に遅いという問題が発生していた。特にアモルファスシリコン半導体を用いた時その移動度はだいたい0.1～1 (cm²/V・Sec)程度で、ほとんどTFTとして動作しない程度のものであった。

【0008】このような問題を解決するには、上式より明らかなようにチャネル長を短くすることと、キャリア移動度を大きくすることが知られ、種々の改良が行われている。

【0009】特にチャネル長Lを短くすると、その2乗で応答速度に影響するので非常に有効な手段である。しかしながら、TFTの特徴である大面積基板上に素子を形成する場合、フォトリソグラフィー技術を用いて、ソースとドレイン間の間隔（だいたいのチャネル長に対応する）を10μm以下にすることは、その加工精度、歩留まり、生産コスト等の面から明らかに困難であり、TFTのチャネル長を短くする手段として現在のところ有効な手段は確立されていない。

【0010】一方、半導体層自身の持つ移動度(μ)を大きくする方法としては、TFTに使用する半導体層として単結晶半導体または多結晶半導体を採用したり、TFTの活性層部分を単結晶半導体または多結晶半導体とすることが行われている。

【0011】前者の方法では、半導体層を形成する際の温度を高くする必要がある。一方、後者の方法は部分的に温度を高くしてTFTの活性層部分を単結晶半導体または多結晶半導体とするものであるが、いずれの方法に

においても通常のTFT作製工程よりも若干高い温度が必要である。

【0012】例えば、

(1) 非晶質半導体薄膜トランジスタにおいて、非晶質シリコンの成膜温度は約250℃程度でその後の熱アニール工程の温度は最大で400℃程度必要である。

(2) 熱再結晶多結晶半導体薄膜トランジスタにおいて、減圧CVD法による多結晶シリコンの成膜温度と熱による再結晶化工程の必要温度は500～650℃である。

(3) 活性層のみを多結晶化した薄膜トランジスタにおいて、半導体層を形成するのに必要なCVDの温度は250℃～450℃程度であるが、CWレーザによる活性層の再結晶化工程では600℃を超える温度となる。

【0013】このように薄膜トランジスタの製造工程においては避けられない熱処理工程が存在している。

【0014】一方、TFTはソーダガラス等の基板上に形成されており、特にスタガ型とコプラナ型はキャリアの表面導電チャネルを持つ活性層がガラス基板と直接に接している。

【0015】TFT製造工程では前述のように避けられない熱処理工程が存在するので、ガラス基板中に存在するナトリウム、カリウム等のアルカリ不純物並びに金属等が外部に拡散し、活性層やTFTを構成する半導体層に侵入する。これによりTFTは、移動度の低下やしきい値の変動等デバイス特性を悪化させたり、長期の信頼性に悪影響を与える。

【0016】また、TFTの動作により、TFT自身が発熱するこれによりガラス基板の温度が上昇し、同様に基板より不純物が拡散して、TFTに影響を与える。

【0017】更に、薄膜トランジスタ作製工程における熱処理又は薄膜トランジスタ動作時の発熱によって発生する熱膨張の差により、アルミニウム等の金属電極の断線又はピーリングが発生し、長期の信頼性に悪影響を与えた。

【0018】本発明は前述の如き問題を解決するものであり、素子特性の良い、長期の信頼性の高いTFTの作製方法を提供することを課題とする。

【0019】

【課題を解決するための手段】上記の問題を解決する為に本発明は、多結晶化された珪素膜よりなるTFT素子のチャネル領域は、ゲート絶縁膜と該ゲート絶縁膜と同一材料からなる絶縁膜とに挟まれていることを特徴とするものであります。

【0020】更に、TFT素子を形成する前にガラス基板上にCVD法またはスパッタ法によりTFT素子のゲート絶縁膜に使用可能な絶縁膜と同じ材料からなる膜を下地保護膜として設け、その下地保護膜上にTFT素子を形成していることを特徴とするものであります。

【0021】このため、薄膜トランジスタ作製工程における熱処理又は薄膜トランジスタ動作時の発熱によって

発生する熱膨張に差がなく、アルミニウム等の金属電極の断線又はピーリングを抑制し、TFT素子の特性の向上および長期の信頼性向上を実現することができるものであります。

【0022】加えて、ガラス基板はゲート絶縁膜に使用可能な絶縁膜、例えばシリコン酸化膜で覆われているためTFT作製工程等での熱処理工程またはTFT動作時の発熱による基板温度上昇時におけるガラス基板よりの不純物の拡散を防止し、TFT素子の特性の向上および長期の信頼性向上を実現することができるものであります。以下に実施例を示し本発明を説明する。

【0023】

【実施例】

〔実施例1〕この実施例1に対応するプレーナ型薄膜トランジスタの概略的な作製工程を図1に示す。

【0024】まず、ガラス基板(1)としてソーダガラスを用い、このソーダガラス(1)上に公知のスパッタリング法により、全面に下地保護膜として酸化珪素(2)を300nmの厚さに形成した。その作成したその作製条件を以下に示す。

スパッタガス	酸素100%
反応圧力	0.5Pa
RFパワー	400W
基板温度	150℃
成膜速度	5nm/min

【0025】次に、これらの上にI型の非単結晶珪素半導体膜(3)を公知のプラズマCVD法で約100nmの厚さに形成した。その作成したその作製条件を以下に示す。

基板温度	300℃
反応圧力	0.05Torr
Rfパワー(13.56MHz)	80W
使用ガス	SiH ₄

【0026】その後、所定のエッチング処理を行い図1(A)に示す状態を得た。この後この活性層を多結晶化する為にエキシマレーザを使用して、この活性層に対してレーザアニール処理を施した。その条件を以下に示す。

レーザエネルギー密度	200mJ/cm ²
照射ショット数	50回

【0027】この上に低抵抗非単結晶半導体層として、N型の導電性を有する非単結晶珪素膜(4)を形成する。この時の作成条件は以下のとおりであった。

基板温度	220℃
反応圧力	0.05Torr
Rfパワー(13.56MHz)	120W
使用ガス	SiH ₄ +PH ₃
膜厚	1500Å

【0028】このN型の非単結晶珪素膜(4)は、その形成時にH₂ガスを多量に導入しRfパワーを高くして、微結晶化させて電気抵抗を下げたものを使用してもよい。

【0029】次に公知のフォトリソグラフィ技術を用いて、この非単結晶珪素膜(4)をソース/ドレイン領域(4)を残しチャネル形成領域(7)をパターンニングし、図1(B)に示す状態を得た。

【0030】この後、チャネル形成領域(7)の活性化の為に、水素プラズマ処理を下記の条件で行いチャネル領域の活性化を行った。

基板温度	250℃
RFパワー	100W
処理時間	60分

【0031】この後、先の下地保護膜(2)と同じ材料でかつ同じ形成方法にてゲート酸化膜(5)100nmの厚みに形成後ソース/ドレイン領域のコンタクトホールを公知のエッチング法により形成し、その上にアルミニウム電極(6)を形成して、図1(C)の状態を得薄膜トランジスタを完成した。

【0032】本実施例の場合、ソース/ドレイン電極(6)の下にはゲート絶縁膜(5)、下地保護膜(2)が存在する。これらは同じ材料、同じ形成方法により形成されているので薄膜トランジスタ作製工程における熱処理又は薄膜トランジスタ動作時の発熱によって発生するこれら膜の熱膨張に差がなく、その上部に存在するアルミニウム等の金属電極の断線又はピーリングを起こさず長期の信頼性に優れたものとなった。

【0033】〔実施例2〕図3に本実施例の作製方法の概略図を示す。まず、ソーダガラス基板(1)上に、公知のスパッタリング法により実施例1と同じ作製条件にて酸化珪素膜を作製した。

【0034】次に、この下地保護膜(2)上にモリブデン金属(10)を200nmの厚さに形成した後にこの上に低抵抗非単結晶半導体層としてP型の導電型を有する非単結晶珪素膜(8)を形成する。この時の作製条件は以下のとおりであった。

基板温度	230℃
反応圧力	0.05Torr
Rfパワー(13.56MHz)	150W
使用ガス	SiH ₄ + B ₂ H ₆
膜厚	200Å

【0035】この場合膜厚は200Åとし後工程で作製するI型半導体層とのオーミックコンタクトをとる目的だけとした。

【0036】次に、これらを所定のパターンにエッチングして図3(A)の状態を得た。そして、これらの上にI型の非単結晶珪素半導体膜(3)を公知のスパッタ法で200nmの厚さに形成した。その作成したその作製条件を以下に示す。

基板温度	250℃
反応圧力	0.2Pa
Rfパワー(13.56MHz)	80W
使用ガス	Ar

【0037】次に、実施例1と同じようにこのI型半導体層(3)の多結晶化と水素プラズマ処理による活性化を行い図3(B)に示す状態を得た。

【0038】さらに、スパッタリング法によりゲート絶縁膜(5)を実施例1と同様に100nm形成した後、モリブデン金属によりゲート電極(9)を形成し所定のパターンに形成した。このようにして図3(C)に示す薄膜トランジスタを完成させた。

【0039】本実施例の場合、低抵抗半導体層下に金属電極を有しているため、その配線抵抗が非常に小さい特徴を有する。特に大面積の液晶装置のスイッチング素子としてTFTを用いる際、この配線抵抗が小さい為に、駆動信号波形がなまることがなく、多量のTFTを高速で応答させることができる。また、本発明は、その他のデバイス構造を持つ薄膜トランジスタにも当然応用可能である。

【0040】

【発明の効果】本発明は、チャネル領域の上下が同じ材料、同じ形成方法により形成されている絶縁膜であるので薄膜トランジスタ作製工程における熱処理又は薄膜トランジスタ動作時の発熱によって発生するこれら膜の熱膨張に差がなく、その上部に存在するアルミニウム等の金属電極の断線又はピーリングを起こさず長期の信頼性に優れたものとなった。

【0041】更に、本発明の構成により、基板としての低温ガラス中に存在する不純物が薄膜トランジスタの活性層さらには素子自身へ侵入することを抑えることができ、高相互コンダクタンスおよび高電界効果移動度を持つ薄膜トランジスタを提供することができた。

【0042】また、デバイス動作時における発熱により基板より拡散する不純物をも抑えることができ、薄膜トランジスタの電機的特性の劣化を抑制でき良好で長期の安定性と信頼性を持つ薄膜トランジスタを実現することができた。

【図面の簡単な説明】

【図1】 本発明の一実施例のTFTの製造工程を示す概略図。

【図2】 従来のTFTの断面構造図。

【図3】 本発明の一実施例のTFTの製造工程を示す概略図。

【符号の説明】

- | | |
|---|------------------|
| 1 | 基板 |
| 2 | 下地保護膜 |
| 3 | 活性層 |
| 4 | ソース/ドレイン領域 |
| 5 | ゲート絶縁膜 |
| 6 | ゲート並びにソース、ドレイン電極 |
| 7 | チャネル形成領域 |
| 8 | ソース/ドレイン領域 |
| 9 | ゲート電極 |

(9)

特開平10-313122

10 ソース／ドレイン電極
20 基板
21 活性層
22、23 ソース／ドレイン領域

24、25 ソース／ドレイン電極
26 ゲート絶縁膜
27 ゲート電極